



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043792
Application Number

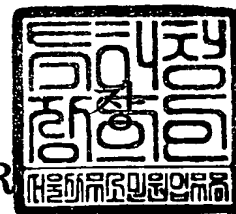
출원 년 월 일 : 2003년 06월 30일
Date of Application JUN 30, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0060
【제출일자】	2003.06.30
【발명의 명칭】	플래시 메모리 소자의 제조방법
【발명의 영문명칭】	Method of manufacturing flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이근우
【성명의 영문표기】	LEE,Keun Woo
【주민등록번호】	680505-1802437
【우편번호】	449-905
【주소】	경기도 용인시 기흥읍 상갈리 481 금화마을 주공그린빌 309-1105
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플래시 메모리 소자의 제조방법에 관한 것으로, 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽 산화막을 형성하고, 활성영역에서 상기 측벽 산화막으로 확산된 상기 문턱전압 조절용 이온을 보충하기 위해 상기 소자분리 영역에 인접한 상기 활성영역 및 상기 트렌치 측벽에 이온주입을 실시한 후, 상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함한다. 본 발명에 의하면, 트렌치에 측벽 산화막을 형성하는 산화공정이 수행되는 온도를 낮추고, 상기 산화공정시 측벽 산화막으로 확산된 이온을 보충하기 위한 이온주입 공정을 수행함으로써, 문턱전압 조절을 위한 이온이 주입된 활성영역의 이온농도분포를 일정하게 하여 소자의 전기적 특성을 개선할 수 있다.

【대표도】

도 4

【색인어】

플래시 메모리 소자, 문턱전압 조절을 위한 이온주입, 측벽 산화막, 소자분리막

【명세서】**【발명의 명칭】**

플래시 메모리 소자의 제조방법{Method of manufacturing flash memory device}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 바람직한 일 실시예에 따른 플래시 메모리 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.

도 7 및 도 8은 본 발명의 바람직한 다른 실시예에 따른 플래시 메모리 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.

도 9는 저전압 NMOS 트랜지스터에서 험프(hump)가 발생한 모습을 보여주는 그래프이다.

<도면의 주요 부분에 부호의 설명>

100: 반도체 기판 102: 터널 산화막

104: 제1 폴리실리콘막 106: 패드 질화막

108: 포토레지스트 패턴 110: 트렌치

112: 측벽 산화막 114: 이온주입

116: 소자분리막 118: 제2 폴리실리콘막

120: 유전막 122: 콘트롤 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 플래시 플래시 메모리 소자의 제조방법에 관한 것이다.
- <12> 일반적인 반도체 소자의 소자분리막 형성 공정은, 반도체 기판의 소정영역에 소자분리막 형성을 포토레지스트 패턴을 형성하고 상기 포토레지스트 패턴을 식각마스크로 식각 공정을 수행하여 트렌치를 형성한다. 이때 상기 식각 공정으로 인해 발생한 식각 손상을 보상하고, 트렌치 상부 또는 바닥 모서리의 라운딩(rounding)처리 및 상기 트렌치 내부에 매립될 절연막의 접착력을 증대시키기 위해 상기 트렌치 측벽에 측벽 산화막을 형성하는 산화 공정을 수행한다. 상기 산화 공정은 1000℃ 정도의 온도에서 수행되고 있다.
- <13> 이때, 상기 반도체 기판에는 상기 소자분리막 형성 공정 이전에 이온주입 공정을 통해 문턱전압 조절을 위한 이온주입을 실시하는 데, 상기 산화공정으로 인해 상기 문턱전압 조절을 위한 이온주입시 주입된 이온들은 상기 측벽 산화막으로 확산하는 현상이 발생한다.
- <14> 따라서, 상기 문턱전압 조절을 위해 주입된 이온이 측벽 산화막으로 확산됨으로 인해, 활성영역은 불균일한 이온농도분포를 가지게 된다. 따라서 상기 불균일한 이온농도분포는 험프(hump)현상을 초래하고, 누설 전류(leakage current)의 증가 원인이 되며, 또한 이는 문턱전압

이 낮아지는 역좁은 채널폭효과(inverse narrow width effect)를 발생시켜 소자의 성능을 저하시키는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 험프의 발생을 억제하여 소자의 전기적 특성을 개선할 수 있는 플래시 메모리 소자의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<16> 본 발명은, 반도체 기판에 문턱전압 조절을 위한 이온주입을 실시하는 단계와, 상기 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 패드 산화막을 순차적으로 형성하는 단계와, 상기 패드 산화막, 상기 제1 폴리실리콘막, 상기 터널 산화막 및 상기 반도체 기판을 식각하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계와, 상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽 산화막을 형성하는 단계와, 상기 활성영역에서 상기 측벽 산화막으로 확산된 상기 문턱전압 조절용 이온을 보충하기 위해 상기 소자분리 영역에 인접한 상기 활성영역 및 상기 트렌치 측벽에 이온주입을 실시하는 단계 및 상기 트렌치 내부에 산화막을 매립하여 소자 분리막을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조방법을 제공한다.

<17> 또한, 본 발명은, 반도체 기판에 문턱전압 조절을 위한 이온주입을 실시하는 단계와, 상기 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 패드 산화막을 순차적으로 형성하는 단계와, 상기 패드 산화막, 상기 제1 폴리실리콘막, 상기 터널 산화막 및 상기 반도체 기판을

식각하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계와, 상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 방지하기 위한 질화막을 형성하기 위하여 상기 트렌치 표면을 질화 처리하기 위한 어닐 공정을 수행하는 단계와, 상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽 산화막을 형성하는 단계 및 상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조방법을 제공한다.

<18> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<19> <실시예 1>

<20> 도 1 내지 도 6은 본 발명의 바람직한 일 실시예에 따른 플래시 메모리 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.

<21> 도 1을 참조하면, 반도체 기판(100) 상에 스크린 산화막(미도시)을 형성한다. 반도체 기판(100)은 P형 트랜지스터가 형성되는 영역(이하에서 'PMOS영역'이라 함) 및 N형 트랜지스터가 형성되는 영역(이하에서 'NMOS영역'이라 함)으로 구분 정의되어 있다. 상기 스크린 산화막은 이후 수행하는 이온주입 공정의 반도체 기판(100)의 손상을 완화하기 위한 버퍼층의 기능을 한

다. 상기 스크린 산화막은 700~900℃ 정도의 온도에서 50~70Å 정도의 두께로 습식 또는 건식 산화방식으로 형성할 수 있다.

<22> 이어서, 반도체 기판(100)에 웰영역 형성 및 문턱전압 조절을 위한 이온주입 공정을 수행한다. 상기 PMOS 영역의 문턱전압 조절을 위한 이온주입 도펀트는 비소(As)나 인(P)을 이용하고, NMOS 영역의 문턱전압 조절을 위한 이온주입 도펀트는 보론(B)을 이용한다. 다음에, 상기 스크린 산화막을 식각 공정을 통해 제거한다.

<23> 이어서, 반도체 기판(100) 상에 게이트 산화막(102), 제1 폴리실리콘막(104) 및 패드 질화막(106)을 순차적으로 형성한다.

<24> 게이트 산화막(102)은 750~850℃ 정도의 온도에서 건식 또는 습식 산화공정을 진행한 후 900~910℃ 정도의 온도에서 N₂가스를 이용하여 20~30분간 어닐링 공정을 수행하여 형성할 수 있다. 게이트 산화막(102)은 50~100Å 정도의 두께로 형성하는 것이 바람직하다.

<25> 제1 폴리실리콘막(104)은 500~550℃ 정도의 온도와 0.1~3 torr 정도의 압력에서, SiH₄ 또는 Si₂H₆과 같은 Si 소스 가스와 PH₃ 가스를 이용하여 형성할 수 있다. 제1 폴리실리콘막(104)은 250~500Å 정도의 두께로 형성하는 것이 바람직하다.

<26> 패드 질화막(106)은 저압-화학기상증착(low pressure-chemical vapor deposition: 이하 'LP-CVD'이라 함)법에 의해 900~2000Å 정도의 두께로 실리콘 질화막(Si₃N₄)으로 형성할 수 있다.

<27> 도 2를 참조하면, 패드 질화막(106) 상에 트렌치(110)를 정의하는 포토레지스트 패턴(108)을 형성하고, 포토레지스트 패턴(108)을 식각 마스크로 식각공정을 수행하여 활성 영역 및 소자분리 영역을 정의하는 트렌치(110)를 형성한다.

- <28> 트렌치(110)는 반도체 기판(100) 표면을 기준으로 75° 내지 85° 정도의 기울기를 갖도록 형성하는 것이 바람직하다.
- <29> 이어서, 트렌치(110) 측벽 및 저면에 산화공정을 통해 측벽 산화막(112)을 형성한다. 측벽 산화막(112)은 트렌치(110) 형성을 위한 식각시 발생한 식각손상을 보상하고, 트렌치(110)의 상부 및/또는 바닥 모서리를 라운딩(rounding) 처리하며, 트렌치(110) 내부에 매립될 절연막의 접착력을 증대시키기 위해 형성한다. 측벽 산화막(112)은 800~950℃ 정도의 온도에서 건식 산화방식에 의해 형성할 수 있고, 50~100Å 정도의 두께로 형성하는 것이 바람직하다. 종래에는 측벽 산화막(112) 형성을 위한 산화공정시 1000~1150℃ 정도의 고온에서 산화공정을 수행하였는데, 이때 문턱전압 조절을 위해 활성 영역에 주입된 보론이온이 측벽 산화막(112)으로 확산하여 트렌치(110)와 인접한 활성영역에서 문턱전압 조절을 위한 이온의 농도가 떨어지는 현상이 발생하였다. 그러나, 본 발명에서는 상기 산화공정을 800~950℃ 정도로 낮추어 실시함으로써, 문턱전압 조절을 위해 주입된 보론이온이 측벽 산화막(112)으로 확산하는 것을 다소 줄일 수 있다.
- <30> 도 3을 참조하면, 상기 산화공정을 통해 트렌치(110)와 인접한 활성영역 및 트렌치(110) 측벽에서 측벽 산화막(112)으로 확산된 보론이온을 보충하기 위해 이온주입 공정(114)을 수행한다. 상기 낮아진 산화공정의 온도로 인해 확산되는 보론이온의 양은 감소하였지만, 보론이온의 확산은 완전히 제한하기 어렵기 때문에 상기 산화공정으로 인해 확산된 보론 이온의 농도를 보충하기 위해 트렌치(110)와 인접한 상기 활성영역 및 트렌치(110) 측벽에 이온주입 공정을 수행한다. 이때의 이온주입 공정은 10~30 Kev의 에너지에서 3E11~1E11 ion/cm²의 도즈로 실시한다. 이때, 상기 이온주입 공정의 틸트(tilt)는 트렌치(110)의 기울기에 따라 적절히 조절하는데, 바람직하게는 0°~30° 정도 사이에서 이온주입 공정이 이루어지도록 한다. 트렌치(110)는

75° 내지 85° 정도의 기울기를 갖기 때문에 0°~30° 정도의 틸트로 이온주입을 실시하면, 트렌치(110)와 인접한 활성영역에 이온을 충분히 보충할 수 있다. 상술한 바와 같이 트렌치(110)와 인접한 활성 영역에 낮은 도우즈의 붕소 이온을 이온주입함으로써 험프(hump)를 개선할 수 있고, 따라서 누설 전류가 감소하고 트랜지스터의 전기적 특성이 향상되며, 스탠바이 전류(standby current)를 감소시킬 수 있다.

<31> 도 4를 참조하면, 트렌치(110) 내부에 갭필(gap fill)특성이 우수한 HDP(HighDensity plasma) 산화막이 채워지도록 증착한 후, 패드 질화막(106)이 노출될 때까지 화학 기계적 연마(chemical mechanical polishing: CMP) 공정 등의 평탄화공정을 수행하여 소자분리막(116)을 형성한다. 이어서, 상기 패드 질화막(106)을 습식 식각공정을 통해 제거한다.

<32> 다음에, 플로팅 게이트로 사용될 제2 폴리실리콘막(118)을 증착한다. 제2 폴리실리콘막(118)은 SiH_4 또는 Si_2H_6 가스와 PH_3 가스를 이용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성할 수 있다. 예컨대, 제2 폴리실리콘막(118)은 500 내지 550℃ 정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력에서 800 내지 3000Å 정도의 두께로 형성한다.

<33> 도 5를 참조하면, 제2 폴리실리콘막(118)을 패터닝한다. 상기 제2 폴리실리콘막(118)은 제2 폴리실리콘막(118)이 소자분리막(116)으로 소정 폭만큼 오버랩(Overlap)되게 패터닝하는 것이 바람직하다.

<34> 다음에, 제2 폴리실리콘막(118)이 형성된 반도체 기판(100) 상에 유전막(120)과 콘트롤 게이트(122)를 형성하여 게이트 전극을 완성한다.

<35> <실시예 2>

- <36> 도 7 및 도 8은 본 발명의 바람직한 제2 실시예에 따른 플래시 메모리 소자의 제조방법을 설명하기 위하여 도시한 도면들이다.
- <37> 트렌치(110)를 형성하는 공정까지는 상기 제1 실시예의 경우와 동일하므로 본 실시예에서는 별도로 이에 대하여 설명하지 않는다.
- <38> 도 7을 참조하면, 트렌치(110)가 형성된 결과물에 대하여 N_2O 분위기에서 어닐 공정을 수행한다. 상기 어닐 공정은 $800\sim 900^{\circ}C$ 정도의 온도에서 실시하는 것이 바람직하다. 상기 어닐 공정에 의해 트렌치(110)의 표면, 즉 트렌치(110)에 의해 노출된 실리콘 기판(100) 표면은 질화 처리되어 질화막(111)이 $10\text{\AA}\sim 20\text{\AA}$ 정도로 얇게 형성되게 된다. 상기 질화막(111)은 문턱전압 조절을 위해 주입된 이온이 측벽 산화막(도 8의 '112' 참조)으로 유입되는 것을 막아주는 역할을 한다. 이는 Si-N 본딩 에너지가 $4.5eV$ 정도이고, Si-H 본딩 에너지가 $3.17eV$ 로서 Si-N 본딩 에너지가 더 크기 때문이다.
- <39> 도 8을 참조하면, 트렌치(110) 측벽 및 저면에 산화공정을 통해 측벽 산화막(112)을 형성한다. 측벽 산화막(112)은 트렌치(110) 형성을 위한 식각시 발생한 식각손상을 보상하고, 트렌치(110)의 상부 및/또는 바닥 모서리를 라운딩(rounding) 처리하며, 트렌치(110) 내부에 매립될 절연막의 접착력을 증대시키기 위해 형성한다. 측벽 산화막(112)은 $800\sim 950^{\circ}C$ 정도의 온도에서 건식 산화방식에 의해 형성할 수 있고, $50\sim 100\text{\AA}$ 정도의 두께로 형성하는 것이 바람직하다. 종래에는 측벽 산화막(112) 형성을 위한 산화공정시 $1000\sim 1150^{\circ}C$ 정도의 고온에서 산화공정을 수행하였는데, 이때 문턱전압 조절을 위해 활성 영역에 주입된 보론이온이 측벽 산화막(112)으로 확산하여 트렌치(110)와 인접한 활성영역에서 문턱전압 조절을 위한 이온의 농도가 떨어지는 현상이 발생하였다. 그러나, 본 발명에서는 상기 산화공정을 $800\sim 950^{\circ}C$ 정도

로 낮추어 실시함으로써, 문턱전압 조절을 위해 주입된 보론이온이 측벽 산화막(112)으로 확산하는 것을 다소 줄일 수 있다.

<40> 다음에, 트렌치(110) 내부에 갭필(gap fill)특성이 우수한 HDP(HighDensity plasma) 산화막이 채워지도록 증착한 후, 패드 질화막(106)이 노출될 때까지 화학 기계적 연마(chemical mechanical polishing: CMP) 공정 등의 평탄화공정을 수행하여 소자분리막(116)을 형성한다. 이어서, 상기 패드 질화막(106)을 습식 식각공정을 통해 제거한다.

<41> 이후의 공정은 상기 제1 실시예에서와 동일하다.

<42> 도 9는 저전압(Low Voltage) NMOS 트랜지스터에서 험프(hump)가 발생한 모습을 보여주는 그래프이다. 종래에는 도 6에 도시된 바와 같이, 게이트 전압(V_g) 대 드레인 전류(I_{ds})에 대한 그래프에서 험프가 발생하여 누설 전류가 증가하고 문턱전압이 낮아지는 역좁은 채널폭효과(inverse narrow width effect)를 발생시켜 소자의 전기적 특성이 저하되는 문제점이 발생하였으나, 본 발명에 의하면 험프의 발생을 억제할 수 있으므로 소자의 전기적 특성을 개선할 수 있다. 이와 같이, 본 발명의 바람직한 실시예에 따르면, 상기 트렌치(110)에 측벽 산화막을 형성하기 위한 산화공정이 종래보다 낮은 온도에서 이루어지도록 하고, 상기 산화공정시 측벽 산화막으로 확산된 이온을 보충하기 위한 이온주입 공정을 수행함으로써, 문턱전압 조절을 위한 이온이 주입된 활성영역의 이온농도분포를 일정하게 하여 소자의 성능을 개선할 수 있다.

【발명의 효과】

<43> 본 발명에 의하면, 상기 트렌치에 측벽 산화막을 형성하는 산화공정이 수행되는 온도를 낮추고, 상기 산화공정시 측벽 산화막으로 확산된 이온을 보충하기 위한 이온주입 공정을 수행



함으로써, 문턱전압 조절을 위한 이온이 주입된 활성영역의 이온농도분포를 일정하게 하여 소자의 성능이 개선될 수 있는 효과가 있다.

<44> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

【특허청구범위】

【청구항 1】

반도체 기판에 문턱전압 조절을 위한 이온주입을 실시하는 단계;

상기 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 패드 산화막을 순차적으로 형성하는 단계;

상기 패드 산화막, 상기 제1 폴리실리콘막, 상기 터널 산화막 및 상기 반도체 기판을 식각하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계;

상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽 산화막을 형성하는 단계;

상기 활성영역에서 상기 측벽 산화막으로 확산된 상기 문턱전압 조절용 이온을 보충하기 위해 상기 소자분리 영역에 인접한 상기 활성영역 및 상기 트렌치 측벽에 이온주입을 실시하는 단계; 및

상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조방법.

【청구항 2】

반도체 기판에 문턱전압 조절을 위한 이온주입을 실시하는 단계;

상기 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 패드 산화막을 순차적으로 형성하는 단계;

상기 패드 산화막, 상기 제1 폴리실리콘막, 상기 터널 산화막 및 상기 반도체 기판을 식각하여 활성영역 및 소자분리영역을 정의하는 트렌치를 형성하는 단계;

상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 방지하기 위한 질화막을 형성하기 위하여 상기 트렌치 표면을 질화 처리하기 위한 어닐 공정을 수행하는 단계;

상기 문턱전압 조절을 위해 주입된 이온이 상기 소자분리영역으로 확산되는 것을 최대한 억제하면서 상기 트렌치 측벽에 측벽 산화막을 형성하는 단계; 및

상기 트렌치 내부에 산화막을 매립하여 소자분리막을 형성하는 단계를 포함하는 플래시 메모리 소자의 제조방법.

【청구항 3】

제1항 또는 제2항에 있어서, 상기 측벽 산화막은

800~950℃ 정도의 온도에서 건식 산화방식에 의해 수행하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 4】

제1항에 있어서, 상기 산화공정 후 활성영역에 수행하는 이온주입 공정은

0°~30°의 틸트(tilt)로 10~30Kev의 에너지를 사용하여 3E11~1E12 ion/cm²의 도즈로 수행하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 5】

제1항에 있어서, 상기 문턱전압 조절을 위해 주입되는 이온은
보론을 이용하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【청구항 6】

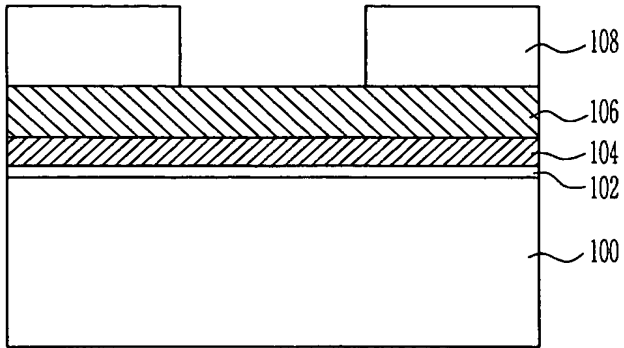
제2항에 있어서, 상기 어닐 공정은
800~900℃의 온도에서 N₂O 분위기에서 실시하는 것을 특징으로 하는 플래시 메모리 소
자의 제조방법.

【청구항 7】

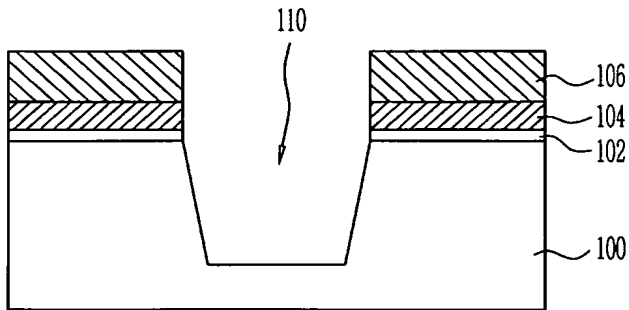
제1항 또는 제2항에 있어서, 상기 소자분리막을 형성하는 단계 후,
상기 패드 질화막을 제거하는 단계;
상기 패드 질화막이 제거된 결과물 상에 플로팅 게이트용 제2 폴리실리콘막을 형성하는
단계;
상기 제2 폴리실리콘막이 형성된 결과물 상에 유전막을 형성하는 단계; 및
상기 유전막 상에 콘트롤 게이트용 제3 폴리실리콘막을 형성하는 단계를 더 포함하는 것을
특징으로 하는 플래시 메모리 소자의 제조방법.

【도면】

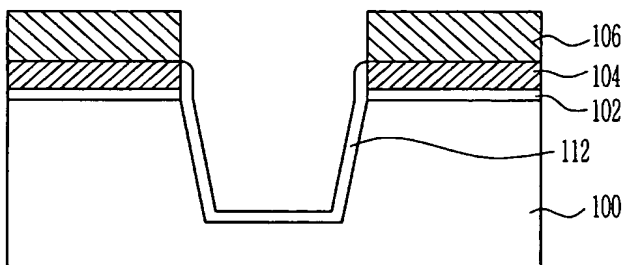
【도 1】



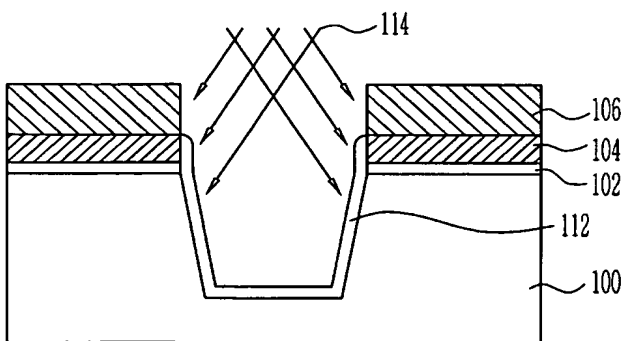
【도 2】



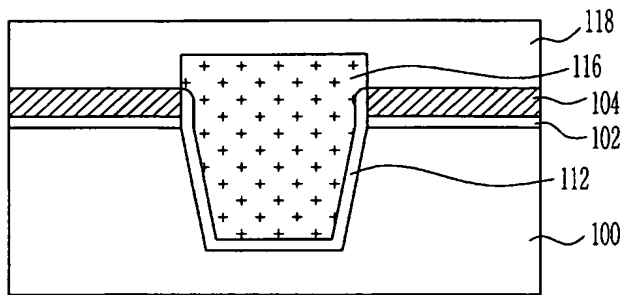
【도 3】



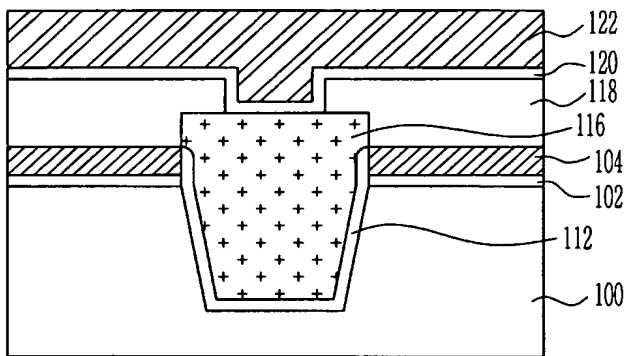
【도 4】



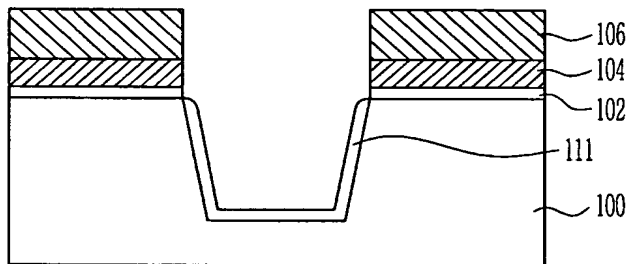
【도 5】



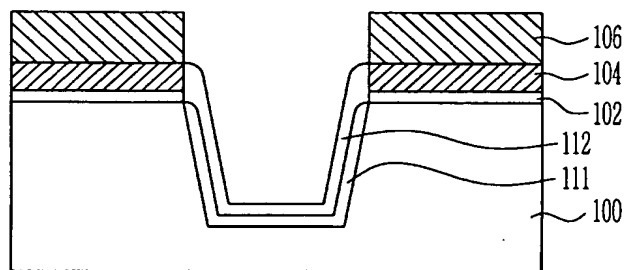
【도 6】



【도 7】



【도 8】



【도 9】

